

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-253710

(43)Date of publication of application : 25.09.1998

(51)Int.Cl. G01R 31/28  
H01L 27/04  
H01L 21/822

(21)Application number : 09-052861

(71)Applicant : CITIZEN WATCH CO LTD

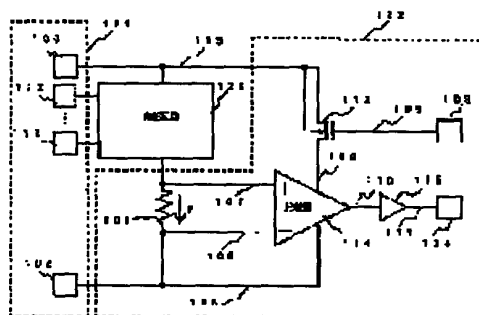
(22)Date of filing : 07.03.1997

(72)Inventor : YANADA SHIYUJI

## (54) SEMICONDUCTOR DEVICE AND MEASURING METHOD THEREOF

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce time required for measurement by providing, for example, a buffer circuit with the output of a comparator, where the potential of both terminals of a resistor being connected in series with a power supply line is set to input, as input. SOLUTION: An internal circuit 120 to be measured is connected to a low-potential power supply wiring 106 via a high-potential power supply wire 105 and a resistor 101 for measuring current in series. A current (i) flows into the resistor 101 for measuring current and generates a potential difference. The potential difference is inputted to a comparator 114 via a high-potential side input line 107 and a low-potential side input line 108. The output of the comparator 114 is connected to the input of the buffer circuit 115 via an output line 110. The output of the buffer circuit 115 is connected to a test output pad 104 via an output line 111. When an abnormal current that indicates the failure of the internal circuit 120 is compared with an expectation value, potentials are compared and a current needs not be converted to a voltage, thus performing a measurement by operating a CMOS semiconductor integrated circuit at a required speed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-253710

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.<sup>6</sup>  
 G 0 1 R 31/28  
 H 0 1 L 27/04  
 21/822

識別記号

F I

G 0 1 R 31/28

V

H 0 1 L 27/04

T

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21) 出願番号 特願平9-52861  
 (22) 出願日 平成9年(1997) 3月7日

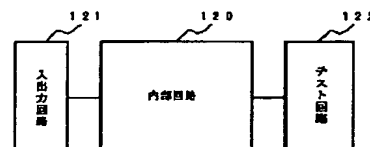
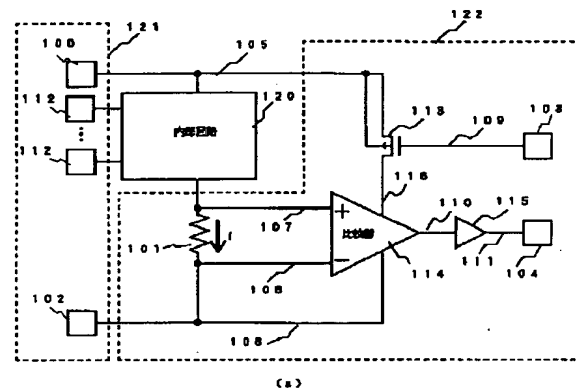
(71) 出願人 000001960  
 シチズン時計株式会社  
 東京都新宿区西新宿2丁目1番1号  
 (72) 発明者 ▲築▼田 修二  
 埼玉県所沢市大字下富字武野840番地 シ  
 チズン時計株式会社技術研究所内

(54) 【発明の名称】 半導体装置及びその測定方法

(57) 【要約】

【課題】 高速で測定することが可能な測定手段を提供する。

【解決手段】 テスト回路を内部回路の電源線に直列に接続した抵抗体と、該抵抗体の両端の電位を正負入力とする比較器と、比較器の出力を入力とするバッファ回路と、バッファ出力に接続したパッドと、該比較器の電源線に直列に接続したMOSトランジスタと、該MOSトランジスタのゲートに接続したパッドで構成する事を特徴とした半導体装置装置とその測定方法。



## 【特許請求の範囲】

【請求項1】 CMOS半導体で構成し、内部回路とテスト回路と入出力回路からなる半導体装置であって、前記テスト回路は前記内部回路の電源線に直列に接続した抵抗体と、該抵抗体の両端の電位を正負入力とする比較器と、該比較器の出力を入力とするバッファ回路と、該バッファ回路のバッファ出力に接続したパッドと、前記比較器の電源線に直列に接続したMOSトランジスタと、該MOSトランジスタのゲートに接続したパッドで構成する事を特徴とする半導体装置。

【請求項2】 前記比較器において、ソースとゲートがそれぞれ同電位でかつソースが高電位電源に接続した導電係数が同一な2個のP型トランジスタと、該P型トランジスタのドレインにそれぞれ接続し、ゲートが前記比較器の正負入力にそれぞれ接続し、導電係数が僅かに異なる2個のN型トランジスタと、該2個のN型トランジスタのソースと低電位電源の間に接続したN型トランジスタで構成する事を特徴とする請求項1に記載の半導体装置。

【請求項3】 前記比較器に於いて、導電係数が僅かに異なる2個のN型トランジスタを、デプレッション型で構成する事を特徴とする請求項1に記載の半導体装置。

【請求項4】 前記比較器において、ソースとゲートがそれぞれ同電位で、かつソースが低電位電源に接続した導電係数が同一な2個のN型トランジスタと、該N型トランジスタのドレインにそれぞれ接続し、ゲートが前記比較器の正負入力にそれぞれ接続し、導電係数が僅かに異なる2個のP型トランジスタと、該2個のP型トランジスタのソースと高電位電源の間に接続したP型トランジスタで構成する事を特徴とする請求項1に記載の半導体装置。

【請求項5】 CMOS半導体で構成し、内部回路とテスト回路と入出力回路からなり、前記テスト回路は内部回路の電源線に直列に接続した抵抗体と、該抵抗体の両端の電位を正負入力とする比較器と、該比較器の出力を入力とするバッファ回路と、該バッファ回路のバッファ出力に接続したパッドと、前記比較器の電源線に直列に接続したMOSトランジスタと、該MOSトランジスタのゲートに接続したパッドで構成した半導体装置の測定方法であって、前記入出力回路から入力するクロックの変化点に同期し、該内部回路を流れる電流で前記抵抗に発生する電圧を、前記比較器で1或いは0の電位に変換し、前記バッファ回路を介し前記バッファ出力に接続したパッドに出力し、さらに前記クロックの変化点から離れた時点で前記バッファ出力に接続した出力の電位を測定する事を特徴とする半導体装置の測定方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はCMOS半導体集積

回路からなる半導体装置の回路構成に関し、さらに詳しくはCMOS半導体集積回路上に形成したテスト用回路の構成と、そのテスト回路を用いた測定方法とに関するものである。

## 【0002】

【従来の技術】デジタルのCMOS半導体集積回路の機能テストは、入力端子からテスト信号を入力し出力端子から出てくる信号を期待値と比較する方法が一般的に行われている。

10 【0003】この方法はデジタルのCMOS半導体集積回路の論理動作をテストするには適しているが、CMOS半導体集積回路を構成する各トランジスタや配線の良否をテストするには不十分で有る事が知られている。これを補うため、CMOS半導体集積回路の電源に流れる電流を測定する方法が考案されている。

【0004】図3を用いてCMOS半導体集積回路の電源に流れる電流を測定する方法の原理を説明する。一般にCMOS半導体集積回路は外部からクロックが供給し、そのクロックに同期して動作する。

20 【0005】CMOS半導体集積回路では電源に電流が流れ込むのは、前述のクロックが入力される時だけである。CMOSの消費電力が低いことが一般に知られているのはこのためである。

【0006】回路が前述のクロックに完全に同期している回路の場合は、前述のクロックに十分同期して電流が流れる。また完全に同期してない回路の場合でもクロックが変化する付近で電流が増加する。

30 【0007】図3は回路がクロックの立ち上がりにはほぼ同期して動作している場合を示している。それまでほとんど流れていなかった電流はクロックの立ち上がりと共に急激に増加する。一般的にCMOS半導体集積回路の内部の動作には充放電に伴う時間的遅延が存在するため回路の信号の伝搬経路に従い回路は活性化し、同時に電源に電流が流れる。

【0008】図3中の正常電流で示すように、電流は前述の時間的遅延に合わせて一定の分布を示す。一回のクロックによる信号の伝搬が全て終了すると、電流は極めて小さくなり、次のクロックを入力するまで変化しなくなる。

40 【0009】CMOS半導体集積回路の中に何らかの故障がある場合CMOSではクロックの変化付近以外でも電流が増加したままになる事が良く知られている。図3の異常電流はトランジスタが故障していて、完全に電流をカットオフ出来ない状態を示している。

【0010】図3中の測定点で示すように、クロックの変化から離れ、電流が十分小さくなった時点で電流を測定すれば、出力端子から出てくる信号を期待値と比較する方法を行わなくても、半導体集積回路中のトランジスタの故障を見つける事ができる。

50 【0011】トランジスタが故障し異常電流が流れて

も、CMOSの論理動作としては正しい場合がある。しかし異常電流のためCMOS半導体集積回路自体の消費電力は増加する。小型携帯機器等の低電力機器では、僅かな消費電力の増加は重大であり、これは出力端子から出てくる信号を期待値と比較する方法では検出できない。

【0012】入力端子からテスト信号を入力し出力端子から出てくる信号を期待値と比較する方法では、CMOS半導体集積回路中の故障の影響が出力端子に伝搬するように、テスト信号を入力する必要があるが、CMOS半導体集積回路の論理によっては、テスト信号を作成するのが困難であったり、超大なテスト信号を入力する必要が在ったりする。

【0013】一方CMOS半導体集積回路の電源に流れる電流を測定する方法は、各CMOS回路の論理出力が一度変化すれば良いので、少ないテスト信号で効率よく故障を検出する事ができる。

【0014】以上のようにCMOS半導体集積回路の電源に流れる電流を測定する方法には多くの利点があるものの、電流を測定するのに要する時間が電圧を比較する測定法に比べ長い為、テストにかかるコストが大幅に増大し十分実用化していない。

【0015】図4を用いてCMOS半導体集積回路の電源に流れる電流を測定する方法が、測定時間を長くする理由を説明する。

【0016】被測定物であるCMOS半導体集積回路420は、高電位電源配線401と計低電位電源配線402を介して、外部に設けられたテスト回路400と接続する。

【0017】テスト回路400は、正側に高電位電源配線401を負側に電流測定用抵抗403を介して低電位電源配線402を接続した電源404と、電流測定用抵抗403の両端を入力とするアナログデジタル変換器（以下A/Dコンバータと呼ぶ）408と該A/Dコンバータ出力線409と期待値入力線411を入力とし比較結果判定線412を出力とする比較器410とで構成する。

【0018】CMOS半導体集積回路420が動作を開始すると、電源404から高電位電源線401を通過し電流*i*が流れ出る。この電流はCMOS半導体集積回路420を通過し電流測定用抵抗403を通り電源404に達する。

【0019】電流*i*が電流測定用抵抗403に流れる事により、電流測定用抵抗403の両端には電位差が発生する。この電位差は電流測定用抵抗403の一方の端に接続する高電位側入力線406ともう一方の端に接続する低電位側入力線407を介し、A/Dコンバータ408に到達する。

【0020】A/Dコンバータ408は電流測定用抵抗403に流れる電流*i*に相当するデジタル信号を発生す

る。発生した信号はA/Dコンバータ出力線409を介し比較器410に入力する。

【0021】比較器410には期待値入力線411を介して、テストに許される最大の電流値を表す期待値をデジタル表現で入力する。A/Dコンバータが出力した値と期待値は比較器410の中で比較され、期待値を越えた場合比較器結果判定線412に変化を引き起こす。

【0022】一般にデジタル信号の処理は十分高速でだが、アナログデジタル変換には長い時間がかかる。電流測定用抵抗403に流れる電流*i*は、一般的に微小な電流であり、微小な電流を高精度に変換するには、よりいっそう長い時間が必要になる。

【0023】一般にCMOS半導体集積回路の動作は十分高速であり、これを実使用時の動作速度で動作させながら、上記に説明したCMOS半導体集積回路の電源に流れる電流の測定を行うのは極めて難しく、測定時でCMOS半導体集積回路の動作を停止し、前述のA/D変換が終了するのを待つ必要がある。CMOS半導体集積回路を実使用時の動作速度で動作させながら、電源に流れる電流を計るのは事実上不可能である。

【0024】一般的に、入力端子からテスト信号を入力し出力端子から出てくる信号を期待値と比較する方法に比べ、CMOS半導体集積回路の電源に流れる電流の測定は、100～1000倍も時間がかかる。このためテストに掛かるコストを大幅に増大させる事になり、極限られた場合を除き実用化出来ない。

【0025】

【発明が解決しようとする課題】以上のようにCMOS半導体集積回路の電源に流れる電流を測定する方法は、入力端子からテスト信号を入力し出力端子から出てくる信号を期待値と比較する方法に比べ、測定に掛かる時間が大幅に長くなるという課題がある。

【0026】本発明の目的は上記の課題を解決して、測定にかかる時間を大幅に短縮する半導体装置とその測定方法を提供することである。

【0027】

【課題を解決するための手段】本目的を達成するために本発明の半導体装置は、内部回路とテスト回路と入出力回路から構成し、該テスト回路は、内部回路の電源線に直列に接続した抵抗体と、該抵抗体の両端の電位を正負入力とする比較器と、比較器の出力を入力とするバッファ回路と、バッファ出力に接続したパッドと、該比較器の電源線に直列に接続したMOSTランジスタと、該MOSTランジスタのゲートに接続したパッドで構成することを特徴とする。

【0028】前記比較器は、ソースとゲートがそれぞれ同電位で、かつソースが高電位電源に接続した導電係数が同一な2個のP型トランジスタと、該P型トランジスタのドレインにそれぞれ接続し、ゲートが前記比較器の正負入力にそれぞれ接続した導電係数が僅かに異なる2

個のN型トランジスタと、該2個のN型トランジスタのソースと低電位電源の間に接続したN型トランジスタで構成することを特徴とする。

【0029】前記比較器に於いて、導電係数が僅かに異なる2個のN型トランジスタを、デプレッション型トランジスタで構成することを特徴とする。

【0030】前記比較器は、ソースとゲートがそれぞれ同電位で、かつソースが低電位電源に接続した導電係数が同一な2個のN型トランジスタと、該N型トランジスタのドレインにそれぞれ接続し、ゲートが前記比較器の正負入力にそれぞれ接続した導電係数が僅かに異なる2個のP型トランジスタと、該2個のP型NOSTランジスタのソースと高電位電源の間に接続したP型トランジスタで構成する事を特徴とする。

【0031】本発明の半導体装置では、CMOS半導体集積回路の電源に流れる電流が正常であるか否かを、半導体装置内部で電圧に変換し半導体装置外部に出力するため、外部に設けるテスト回路中にA/Dコンバータを必要としない。

【0032】また本発明の半導体装置では、CMOS半導体集積回路の電源に流れる電流を測定する方法を、入力端子からテスト信号を入力し出力端子から出てくる信号を期待値と比較する方法とはほぼ同一な時間で行う事を可能にしている。

【0033】

【発明の実施の形態】図1(b)は本発明のCMOS半導体集積回路の構成を説明する図であり、内部回路120と入出力121とテスト回路122で構成する事を示している。

【0034】図1(a)は図1(b)中の入出力回路121とテスト回路122のより詳しい構成を示す図であり、CMOS半導体集積回路の電源に流れる電流を電圧に変換する回路を備えている所を表している。はじめに図1(a)を用いて、本発明の実施例に於ける半導体装置の構成を説明する。

【0035】図1(a)の入出力回路121において、入出力パッド112は通常複数存在し、内部回路120の外部との信号の受け渡しを行うと共に、テスト時にはテスト信号を入力したり内部回路120の状態を外部に出力したりするのに用いる。

【0036】高電位電源パッド100は半導体装置内部の高電位電源配線105に接続し、低電位電源パッド102は半導体装置内部の低電位電源配線106に接続する。

【0037】測定対象である内部回路120は、高電位電源配線105と電流測定用抵抗101を直列に介して、低電位電源配線106と接続する。

【0038】電流測定用抵抗101の高電位端は、比較器高電位側入力線107を介して、比較器114の高電位入力に接続し、電流測定用抵抗101の低電位端は、

比較器低電位側入力線108を介して、比較器114の低電位入力に接続する。

【0039】比較器114の低電位電源は、半導体内部の低電位電源配線106に、比較器114の高電位電源は、比較器高電位電源配線116を介してテスト制御用トランジスタ113に接続し、更にテスト制御用トランジスタ113を半導体内部の高電位電源配線105に接続する。この例ではテスト制御用トランジスタ113は、P型トランジスタである。

【0040】テスト制御用トランジスタ113のゲート入力は、テスト制御線109を介して、テスト制御パッド103に接続する。

【0041】比較器114の出力は、比較器出力線110を介し、バッファ回路115の入力に接続する。バッファ回路115の出力はテスト出力線111を介し、テスト出力パッド104に接続する。

【0042】電流測定用抵抗101は、内部回路120の回路動作の妨げにならない程度に低く無くてはならない。

【0043】更に、比較器114の例を図2(a)で説明する。比較器は差動増幅器として知られる回路構成になっている。比較器高電位電源配線116には、P型の負荷トランジスタ201と202のソースが接続する。P型の負荷トランジスタ201と202はトランジスタの導電係数が全く同じ必要がある。

【0044】P型の負荷トランジスタ201と202のゲート入力は、互いに接続し、更に一方の負荷トランジスタ202のドレインに接続する。

【0045】P型の負荷トランジスタ201のドレインは比較器出力線110に接続し、更にN型トランジスタ203のドレインに接続する。同じくP型の負荷トランジスタ202のドレインはN型トランジスタ204のドレインに接続する。

【0046】N型トランジスタ203と204のソースは互いに接続し、更に電流制限N型トランジスタ205のドレインに接続する。電流制限N型トランジスタ205のソースは半導体半導体装置内部の低電位電源線106に接続する。

【0047】N型トランジスタ203のゲート入力には、比較器低電位側入力線108を接続し、N型トランジスタ204のゲート入力には、比較器高電位側入力線107を接続する。更に電流制限N型トランジスタ205のゲート入力206には、低電位電源線106との間に一定電圧を印可する。

【0048】N型トランジスタ203と204の導電係数を僅かに異なるようにする。N型トランジスタ203導電係数がN型トランジスタ204の導電係数より大きい場合と、その逆の場合とでは比較器114の動作に差があるが、本発明に於ける測定方法の説明で詳述する。

【0049】更に、N型トランジスタ203と204は

デプレッション型トランジスタで構成する。電流測定用抵抗101は、内部回路120の回路動作の妨げにならない程度に低い。このため電流測定用抵抗101の両端に発生する電位差は小さく、比較器低電位側入力線108あるいは、比較器高電位側入力線107と低電位電源線106との間の電位差も小さい。即ちN型トランジスタ203と204のゲートソース間電位差は小さく、エンハンスメント型トランジスタでは、ゲートソース間の電位差がトランジスタのしきい値以下となり動作できなくなる。これを防ぐために、N型トランジスタ203と204はデプレッション型トランジスタで構成する。

【0050】次に図1、図2を用いて本発明に於ける測定方法を説明する。CMOS半導体集積回路を通常の目的で動作させるときは、テスト制御パッド103を高電位電源パッド101と同電位にする。これによりテスト制御用トランジスタ113はOFFし比較器114は動作しない。この場合は、テスト出力パッド104に発生する信号は意味を持たない。

【0051】CMOS半導体集積回路に流れる電流を測定する場合は、テスト制御パッド103を低電位電源パッド102と同電位にする。これによりテスト制御用トランジスタ113はONし比較器114は正しく動作する。

【0052】比較器114が正しく動作している状態で、入力端子から何らかのテスト信号を内部回路120に入力し、動作させる。内部回路120には、図3で説明したように、クロックにはほぼ同期して電流*i*が流れる。

【0053】電流*i*は電流測定用抵抗101に流れ込み電位差を発生する。この電位差を比較器高電位側入力線107と比較器低電位側入力線108を介して、比較器114に入力する。

【0054】比較器114を構成するN型トランジスタ203と204は導電係数が僅かに異なる。例として、N型トランジスタ203の導電係数をN型トランジスタ204の導電係数より大きくすれば、比較器高電位側入力線107と比較器低電位側入力線108の間に電位差が無くても、比較器出力線110は低電位電源の電位となり、バッファ回路115を通してテスト出力パッド104も低電位電源の電位になる。

【0055】図3の測定点で正常電流が内部回路120に流れた場合を考えると、電流測定用抵抗101に流れる電流は零に近く、電流測定用抵抗101の両端には電位差は発生しない。従って上述したようにテスト出力パッド104は低電位電源の電位になる。

【0056】次に、図3の測定点で以上電流が内部回路120に流れた場合を考えると、電流測定用抵抗101に流れる電流*i*は、異常タイミングでは零に近くならない。つまり電流測定用抵抗101の両端に電位差が発生したままになる。

【0057】この電位差を比較器114に入力する。N型トランジスタ204のゲート電位は、N型トランジスタ203のゲート電位より大きくなる。このためN型トランジスタ204はN型トランジスタ203に比べよりONする。従って比較器出力線110は高電位電源の電位に変化する。バッファ回路115を通してテスト出力パッド104も高電位電源の電位に変化する。

【0058】テスト出力パッド104の電位を、高電位電源の電位に等しい時を1信号、低電位電源の電位に等しい時を0信号と呼べば、本発明によって、半導体内部に流れる電流の測定が、出力端子から出てくる信号を期待値と比較する従来の方法と同一である事がわかる。

【0059】本実施例では、正常電流の期待値はいつでも0信号であり、CMOS半導体集積回路内部の故障を示す異常電流の期待値は1信号である。期待値の比較は電位の比較であり、電流を電圧に変換する必要は無い。従って測定はCMOS半導体集積回路を必要な速さで動作させながら測定する事が可能である。

【0060】一般に異常電流は一定値では無く、CMOS半導体集積回路の構成や、製造方法によって変わると予想される。従って異常電流の最下限はテストを行う目的によって変わってくる。異常電流の最下限を越えるところで比較器114の出力が変化するように、N型トランジスタ203と204の導電係数の値を設定すればよい。

【0061】MOSトランジスタの導電係数は、チャネル幅とチャネル長の比に比例する。つまりN型トランジスタ203と204の導電係数の設定は、チャネル幅あるいはチャネル長の設計で調整する。

【0062】更に、図3の測定点に於ける正常電流もCMOS半導体集積回路の構成や、製造方法によって必ずしも零では無い。しかし正常電流の時は零、異常電流の時は零より明らかに大きいと判断できるように、電流測定抵抗101を設定すればよい。

【0063】以上の実施例は、N型トランジスタ203の導電係数がN型トランジスタ204の導電係数より大きく、テスト出力パッド104に現れる信号が、正常電流の時は0信号であり、異常電流の時は1信号であった。逆にN型トランジスタ204の導電係数がN型トランジスタ203の導電係数より大きい場合は、テスト出力パッド104に現れる信号は、正常電流の時は1信号であり、異常電流の時は0信号のなるのは容易に類推できる。

【0064】図2(b)は比較器114の別の実施例を示している。比較器低電位電源配線106には、N型の負荷トランジスタ211と212のソースが接続する。N型の負荷トランジスタ211と212はトランジスタの導電係数が全く同じ必要がある。

【0065】N型の負荷トランジスタ211と212のゲート入力、互いに接続し、更に一方の負荷トランジ

スタ212のドレインに接続する。

【0066】N型の負荷トランジスタ211のドレインは比較器出力線110に接続し、更にP型トランジスタ213のドレインに接続する。同じくN型の負荷トランジスタ212のドレインはP型トランジスタ214のドレインに接続する。

【0067】P型トランジスタ213と214のソースは互いに接続し、更に電流制限P型トランジスタ215のドレインに接続する。電流制限P型トランジスタ215のソースは半導体半導体装置内部の高電位電源線116に接続する。

【0068】P型トランジスタ213のゲート入力には、比較器低電位側入力線108を接続し、P型トランジスタ214のゲート入力には、比較器高電位側入力線107を接続する。更に電流制限トランジスタ215のゲート入力216には、高電位電源線116との間に一定電圧を印可する。

【0069】P型トランジスタ213と214の導電係数を僅かに異なるようにする。P型トランジスタ213の導電係数がP型トランジスタ214の導電係数より大きい場合と、その逆の場合とでは比較器114の動作に差があるが、これは前述の実施例と同一になる。

【0070】図2(b)に示す実施例に於ける測定方法は、図2(a)に示した例と同じであり、どちらの場合も、CMOS半導体集積回路の電源に流れる電流を測定する方法を、入力端子からテスト信号を入力し出力端子から出てくる信号を期待値と比較する方法とはほぼ同一な時間で行う事を可能にしている。

【図面の簡単な説明】

【図1】本発明の実施例における半導体装置の構成を示す回路図である。

【図2】本発明の実施例における比較器の構成を示す回路図である。

【図3】半導体集積回路の電源に流れる電流を測定する方法の原理を説明する図である。

【図4】従来例の測定法を説明する回路図である。

【符号の説明】

100 高電位電源パッド

101 電流測定用パッド

102 低電位電源パッド

103 テスト制御用パッド

104 テスト出力パッド

105 高電位電源線

106 比較器低電位電源線

107 比較器高電位側入力線

108 比較器低電位側入力線

109 テスト制御線

110 比較器出力線

111 テスト出力線

113 テスト制御用トランジスタ

114 比較器

115 バッファ回路

116 比較器高電位電源線

120 内部回路

121 入出力回路

122 テスト回路

201、202 P型負荷トランジスタ

203 第1のN型トランジスタ

204 第2のN型トランジスタ

205 電流制限N型トランジスタ

206 電流制限N型トランジスタのゲート

211、202 N型負荷トランジスタ

213 第1のP型トランジスタ

214 第2のP型トランジスタ

215 電流制限P型トランジスタ

216 電流制限P型トランジスタのゲート

400 テスト回路

401 高電位電源配線

402 低電位電源配線

403 電流測定用抵抗

404 電源

406 高電位側入力線

407 低電位側入力線

408 A/Dコンバータ

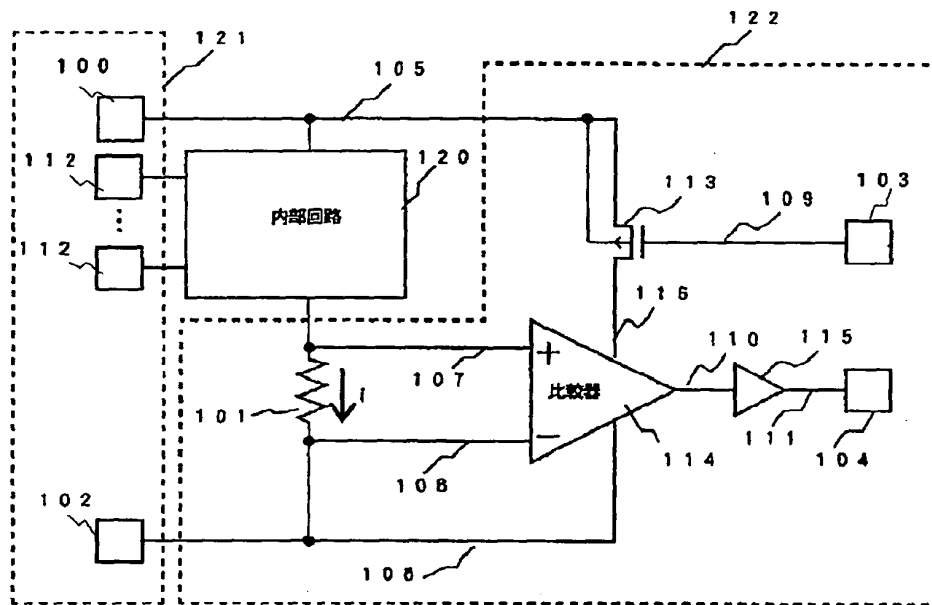
409 A/Dコンバータ出力線

410 比較器

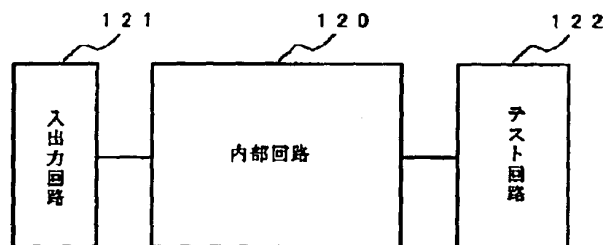
411 期待値入力線

412 比較結果判定線

【図1】

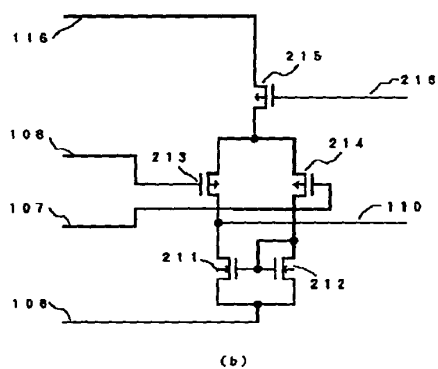
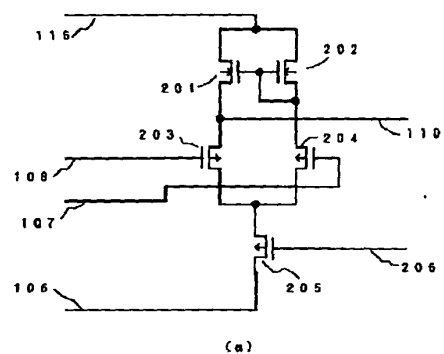


(a)

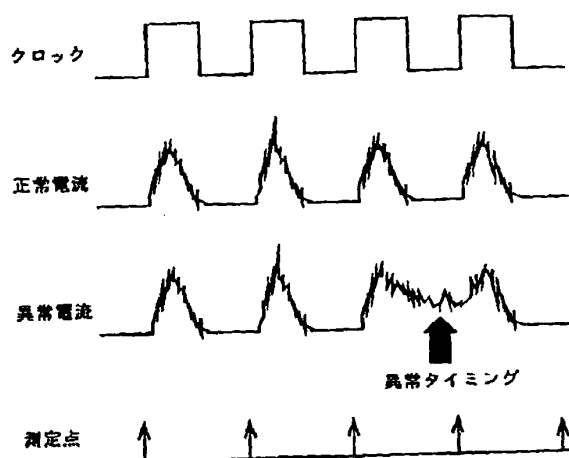




【図2】



【図3】



【図4】

